

Docket No.: 61352-068

**PATENT**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of	:	Customer Number: 20277
	:	
<b>Koichi MIZUNO</b>	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: January 08, 2004	:	Examiner:
	:	
For: SWITCHING DEVICE	:	

**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

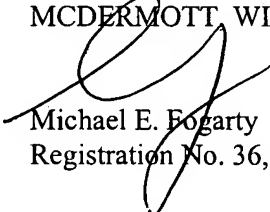
In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

**Japanese Patent Application No. 2002-180124, filed June 20, 2002,  
Japanese Patent Application No. 2002-208598, filed July 17, 2002**

cited in the Declaration of the present application. Certified copies are submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

  
Michael E. Fogarty  
Registration No. 36,139

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 MEF:mcw  
Facsimile: (202) 756-8087  
**Date: January 8, 2004**

日本国特許庁  
JAPAN PATENT OFFICE

61352 - 068

Koichi MIZUNO

January 8, 2004.

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application: 2002年 6月20日

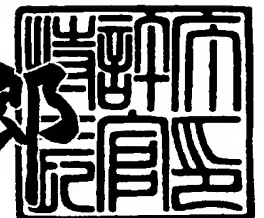
出願番号  
Application Number: 特願2002-180124  
[ST. 10/C]: [JP2002-180124]

出願人  
Applicant(s): 松下電器産業株式会社

2003年 7月10日

特許庁長官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3056424

【書類名】 特許願

【整理番号】 2033840063

【提出日】 平成14年 6月20日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/00  
H01L 29/00  
H01L 29/96

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 水野 紘一

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

## 【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

## 【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

## 【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

## 【選任した代理人】

【識別番号】 100115510

【弁理士】

【氏名又は名称】 手島 勝

## 【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

## 【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006010

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 スイッチ装置

【特許請求の範囲】

【請求項 1】 第 1、第 2 および第 3 の端子を有し、前記第 1 の端子と前記第 2 の端子とを電氣的に接続する第 1 の接続状態と、前記第 1 の端子と前記第 3 の端子とを電氣的に接続する第 2 の接続状態とを、切り替えるスイッチ装置であって、

前記第 1 の端子と前記第 2 の端子との間に設けられた第 1 の F E T を有し、前記第 1 の接続状態を設定するか否かを切り替える第 1 の F E T スイッチと、

前記第 1 の端子と前記第 3 の端子との間に設けられた第 2 の F E T を有し、前記第 2 の接続状態を設定するか否かを切り替える第 2 の F E T スイッチとを備え、

前記第 1 および第 2 の F E T は、同一のチャネル型の F E T であり、

前記第 1 および第 2 の F E T のいずれか一方は、ゲートに第 1 のバイアス電圧が与えられるとともに、ソースおよびドレインに第 1 の制御電圧が与えられる一方、他方の F E T は、ソースおよびドレインに第 2 のバイアス電圧が与えられるとともに、ゲートに前記第 1 の制御電圧が与えられるものであり、

前記第 1 および第 2 の F E T スイッチは、前記第 1 および第 2 の F E T が、互いに共通した前記第 1 の制御電圧によって相補的に導通状態になることによって、相補的に、前記第 1 および第 2 の接続状態を設定するものであることを特徴とするスイッチ装置。

【請求項 2】 請求項 1 記載のスイッチ装置において、

前記第 1 および第 2 の F E T は、ともに、nチャネル型の F E T であり、

前記第 1 のバイアス電圧は、接地電位および前記第 1 の F E T のゲート閾値電圧のいずれか高い方以上の電圧であり、

前記第 2 のバイアス電圧は、接地電位および前記第 2 の F E T のゲート閾値電圧のいずれか高い方以上の電圧であり、

前記第 1 および第 2 の F E T スイッチは、前記第 1 および第 2 の F E T に、前記第 1 の制御電圧として、接地電位以上かつ前記第 1 および第 2 のバイアス電圧

のいずれか低い方以下の電圧が与えられたとき、前記第1の接続状態を設定する一方、前記第1および第2のバイアス電圧のいずれか高い方以上の電圧が与えられたとき、前記第2の接続状態を設定するものであることを特徴とするスイッチ装置。

【請求項3】 請求項2記載のスイッチ装置において、  
前記第1の制御電圧は、2値であり、その一方は前記第1のバイアス電圧に相当するものである一方、他方は前記第2のバイアス電圧に相当するものであることを特徴とするスイッチ装置。

【請求項4】 請求項1記載のスイッチ装置において、  
前記第1および第2のFETは、  
ともに、Ga, In, As, P, N, Alのうち少なくとも1つの元素を含む化合物半導体によって構成されていることを特徴とするスイッチ装置。

【請求項5】 請求項1記載のスイッチ装置において、  
前記第2の端子とグランドとの間に設けられた第3のFETを有し、前記第2の端子を終端する第1の終端状態を設定するか否かを切り替える第3のFETスイッチと、

前記第3の端子とグランドとの間に設けられた第4のFETを有し、前記第3の端子を終端する第2の終端状態を設定するか否かを切り替える第4のFETスイッチとを備え、

前記第3のFETスイッチは、前記第2の接続状態のとき、前記第3のFETが導通状態になることによって、前記第1の終端状態を設定するものであり、

前記第4のFETスイッチは、前記第1の接続状態のとき、前記第4のFETが導通状態になることによって、前記第2の終端状態を設定するものであることを特徴とするスイッチ装置。

【請求項6】 請求項5記載のスイッチ装置において、  
前記第3および第4のFETは、同一のチャネル型のFETであり、  
前記第3および第4のFETのいずれか一方は、ゲートに第3のバイアス電圧が与えられるとともに、ソースおよびドレインに第2の制御電圧が与えられる一

方、他方の F E T は、ソースおよびドレインに第 4 のバイアス電圧が与えられるとともに、ゲートに前記第 2 の制御電圧が与えられるものであり、

前記第 3 および第 4 の F E T スイッチは、前記第 3 および第 4 の F E T が、互いに共通した前記第 2 の制御電圧によって相補的に導通状態になることによって、相補的に、前記第 1 および第 2 の終端状態を設定するものであることを特徴とするスイッチ装置。

【請求項 7】 第 1、第 2 および第 3 の端子を有し、前記第 1 の端子と前記第 2 の端子とを電気的に接続する第 1 の接続状態と、前記第 1 の端子と前記第 3 の端子とを電気的に接続する第 2 の接続状態とを、切り替えるスイッチ装置であって、

前記第 1 の端子と前記第 2 の端子との間に設けられた第 1 の F E T を有し、前記第 1 の接続状態を設定するか否かを切り替える第 1 の F E T スイッチと、

前記第 1 の端子と前記第 3 の端子との間に設けられた第 2 の F E T を有し、前記第 2 の接続状態を設定するか否かを切り替える第 2 の F E T スイッチと、

前記第 2 の端子とグランドとの間に設けられた第 3 の F E T を有し、前記第 2 の端子を終端する第 1 の終端状態を設定するか否かを切り替える第 3 の F E T スイッチと、

前記第 3 の端子とグランドとの間に設けられた第 4 の F E T を有し、前記第 3 の端子を終端する第 2 の終端状態を設定するか否かを切り替える第 4 の F E T スイッチとを備え、

前記第 1 および第 3 の F E T は、同一のチャネル型の F E T であり、

前記第 1 および第 3 の F E T のいずれか一方は、ゲートに第 1 のバイアス電圧が与えられるとともに、ソースおよびドレインに第 1 の制御電圧が与えられる一方、他方の F E T は、ソースおよびドレインに第 2 のバイアス電圧が与えられるとともに、ゲートに前記第 1 の制御電圧が与えられるものであり、

前記第 1 および第 3 の F E T スイッチは、前記第 1 および第 3 の F E T が、互いに共通した前記第 1 の制御電圧によって相補的に導通状態になることによって、相補的に、前記第 1 の接続状態および前記第 1 の終端状態を設定するものであり、

前記第 2 の F E T スイッチは、前記第 1 の終端状態のとき、前記第 2 の F E T が導通状態になることによって、前記第 2 の接続状態を設定するものであり、

前記第 4 の F E T スイッチは、前記第 1 の接続状態のとき、前記第 4 の F E T が導通状態になることによって、前記第 2 の終端状態を設定するものであることを特徴とするスイッチ装置。

【請求項 8】 請求項 7 記載のスイッチ装置において、

前記第 2 および第 4 の F E T は、同一のチャネル型の F E T であり、

前記第 2 および第 4 の F E T のいずれか一方は、ゲートに第 3 のバイアス電圧が与えられるとともに、ソースおよびドレインに第 2 の制御電圧が与えられる一方、他方の F E T は、ソースおよびドレインに第 4 のバイアス電圧が与えられるとともに、ゲートに前記第 2 の制御電圧が与えられるものであり、

前記第 2 および第 4 の F E T スイッチは、前記第 2 および第 4 の F E T が、互いに共通した前記第 2 の制御電圧によって相補的に導通状態になることによって、相補的に、前記第 2 の接続状態および前記第 2 の終端状態を設定するものであることを特徴とするスイッチ装置。

【請求項 9】 請求項 6 または 8 記載のスイッチ装置において、

前記第 1 および第 4 のバイアス電圧、前記第 2 および第 3 のバイアス電圧、ならびに前記第 1 および第 2 の制御電圧は、それぞれ、互いに共通したものであることを特徴とするスイッチ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、スイッチ装置に関するものであり、特に、伝送経路の切り替えに好適なスイッチ装置の技術に属する。

【0002】

【従来の技術】

近年、情報通信分野における技術の進展は著しく、通信機器が扱う周波数帯域もマイクロ波帯域からミリ波帯域へと、より高い周波数帯域への展開が図られて



いる。このようなマイクロ波帯からミリ波帯までの高周波帯を扱う通信用回路などでは、伝送線路を制御する経路切り替え型のスイッチが多く用いられている。

#### 【0003】

一般に、経路切り替え型のスイッチは、半導体のP/I/N接合を用いたPINダイオードスイッチや、FET（電界効果トランジスタ）のスイッチング機能を用いたFETスイッチなどを組み合わせて構成される。たとえば、FETスイッチによって構成された経路切り替え型のスイッチ装置は、各伝送経路とそれぞれ接続された2個のFETスイッチのいずれか一方をオンまたはオフにするとともに、他方のFETスイッチをオフまたはオンにする。このようにFETスイッチを相補的に切り替え動作させることによって、伝送経路を切り替える。

#### 【0004】

一方、高周波回路に対する小型化の要求は、他の電子回路にも増して強くなりつつある。一般に、高周波回路は、高周波トランジスタなどの半導体素子と整合回路やバイアス回路などをひとつの半導体基板上に集積化したMMIC（Monolithic Microwave IC）として構成されることが多い。MMICの場合、スイッチ自体も半導体素子で構成されることが好ましい。このため、通常、MMICでは、上記のPINダイオードやFETスイッチなどが利用されているが、PIN接合を作るプロセスは、FETを形成するプロセスと比べて複雑なため、FETのみでスイッチ装置を構成することが好ましい。

#### 【0005】

FETスイッチは、FETのゲート電極に制御電圧を印加してチャネルの導電率を変化させ、これによるソース・ドレイン間の導電率変化に応じて、ソース・ドレイン間の伝送信号の伝達量を変化させる。つまり、FETスイッチは、FETのチャネル層が電氣的に導通状態のとき、オンであり、伝送信号はドレインまたはソース端子より入力され、チャネルを伝達し、他のソースまたはドレイン端子から出力される。一方、FETのチャネル層がピンチオフ状態のとき、オフであり、ソース・ドレイン間は電氣的に遮断状態となる。そして、高周波信号の場合、一般に、n型のチャネル層を形成する高電子移動度トランジスタ（HEMT：High Electron Mobility Transistor）などが用いられる。

## 【0006】

## 【発明が解決しようとする課題】

同一のチャネル型のFETによって構成された複数のFETスイッチを相補的に動作させるためには、それぞれのFETスイッチにおけるFETに互いに異なる制御電圧を与え、それぞれのFETスイッチを切り替え動作させる必要がある。しかし、制御の容易性および回路構成の簡略化の観点から、一の制御電圧で複数のFETを相補的に切り替え動作させることが望ましい。

## 【0007】

また、よく用いられるデプリーション型のnチャネルFETでは、チャネルをピンチオフするために、ソース電位に対してゲート電極に負の電圧を与える必要がある。しかし、通常、ソース電極は接地されることが多いため、このようなデプリーション型のnチャネルFETをスイッチ素子として用いた場合、ドレインバイアス電圧用の正電源とは別個に、ゲート電極用の負電源を設けなければならない。

## 【0008】

さらに、高周波信号の場合、伝送経路が切り替えられたとき、切断された側の伝送線路を開放状態のままにすると、その開放点で伝送線路のインピーダンスが不連続となり、信号が反射してしまう。この高周波信号の反射は、回路特性を悪化させ、回路動作を不安定にするという問題がある。

## 【0009】

上記諸問題に鑑み、本発明は、同一のチャネル型のFETによって構成された複数のFETスイッチを、一の制御電圧によって相補的に切り替え動作させ、伝送経路の切り替えを行えるようにすることを課題とする。また、そのような経路切り替え型のスイッチ装置を、正電源のみで動作可能にすることを課題とする。さらに、高周波域において、伝送経路の切り替えによって、伝送線路にインピーダンスの不連続点を生じさせないようにすることを課題とする。

## 【0010】

## 【課題を解決するための手段】

上記課題を解決するために、請求項1の発明が講じた手段は、第1、第2およ

び第3の端子を有し、前記第1の端子と前記第2の端子とを電氣的に接続する第1の接続状態と、前記第1の端子と前記第3の端子とを電氣的に接続する第2の接続状態とを、切り替えるスイッチ装置であって、前記第1の端子と前記第2の端子との間に設けられた第1のFETを有し、前記第1の接続状態を設定するか否かを切り替える第1のFETスイッチと、前記第1の端子と前記第3の端子との間に設けられた第2のFETを有し、前記第2の接続状態を設定するか否かを切り替える第2のFETスイッチとを備えたものとする。そして、前記第1および第2のFETは、同一のチャネル型のFETとする。さらに、前記第1および第2のFETのいずれか一方は、ゲートに第1のバイアス電圧が与えられるとともに、ソースおよびドレインに第1の制御電圧が与えられる一方、他方のFETは、ソースおよびドレインに第2のバイアス電圧が与えられるとともに、ゲートに前記第1の制御電圧が与えられるものとする。そして、前記第1および第2のFETスイッチは、前記第1および第2のFETが、互いに共通した前記第1の制御電圧によって相補的に導通状態になることによって、相補的に、前記第1および第2の接続状態を設定するものであることを特徴とする。

#### 【0011】

請求項1の発明によると、第1および第2のFETのいずれか一方のゲートに第1のバイアス電圧を与えると同時にソースおよびドレインに第1の制御電圧を与えるようにし、他方のFETのソースおよびドレインに第2のバイアス電圧を与えると同時にゲートに第1の制御電圧を与えるようにすることによって、互いに共通した第1の制御電圧によって、同一のチャネル型の第1および第2のFETが相補的に導通状態になる。第1および第2のFETが相補的に導通状態になることによって、第1および第2のFETスイッチは、相補的に切り替え動作をする。これにより、同一のチャネル型の第1および第2のFETによってそれぞれ構成された第1および第2のFETスイッチを備えたスイッチ装置において、一の制御電圧（第1の制御電圧）によって、第1の接続状態と第2の接続状態との切り替えを行うことができる。

#### 【0012】

請求項2の発明では、請求項1のスイッチ装置において、前記第1および第2

の F E T は、ともに、n チャネル型の F E T とする。また、前記第 1 のバイアス電圧は、接地電位および前記第 1 の F E T のゲート閾値電圧のいずれか高い方以上の電圧であるものとし、前記第 2 のバイアス電圧は、接地電位および前記第 2 の F E T のゲート閾値電圧のいずれか高い方以上の電圧であるものとする。そして、前記第 1 および第 2 の F E T スイッチは、前記第 1 および第 2 の F E T に、前記第 1 の制御電圧として、接地電位以上かつ前記第 1 および第 2 のバイアス電圧のいずれか低い方以下の電圧が与えられたとき、前記第 1 の接続状態を設定する一方、前記第 1 および第 2 のバイアス電圧のいずれか高い方以上の電圧が与えられたとき、前記第 2 の接続状態を設定するものであることを特徴とする。

#### 【0013】

請求項 2 の発明によると、第 1 および第 2 のバイアス電圧を接地電位以上にし、第 1 の制御電圧として、接地電位以上かつ第 1 および第 2 のバイアス電圧のいずれか低い方以下の電圧、または、第 1 および第 2 のバイアス電圧のいずれか高い方以上の電圧を与えることによって、n チャネル型の F E T である第 1 および第 2 の F E T を備えたスイッチ装置を、正電源のみで動作させることができる。これにより、負電圧を供給する負電源が不要となり、回路規模を縮減することができる。

#### 【0014】

請求項 3 の発明では、請求項 2 のスイッチ装置において、前記第 1 の制御電圧は、2 値であるとする。そして、その一方は前記第 1 のバイアス電圧に相当するものである一方、他方は前記第 2 のバイアス電圧に相当するものであることを特徴とする。

#### 【0015】

請求項 3 の発明によると、第 1 の制御電圧として、第 1 および第 2 のバイアス電圧のいずれかの 2 値を用いることによって、スイッチ装置の制御に必要な電圧の種類を削減することができる。これにより、スイッチ装置の制御が容易になり、また、回路構成を簡略化することができる。

#### 【0016】

請求項 4 の発明では、請求項 1 のスイッチ装置において、前記第 1 および第 2

のFETは、ともに、Ga, In, As, P, N, Alのうち少なくとも1つの元素を含む化合物半導体によって構成されていることを特徴とする。

【0017】

請求項4の発明によると、第1および第2のFETを化合物半導体によって構成することによって、高周波信号のスイッチングが可能になる。

【0018】

請求項5の発明では、請求項1のスイッチ装置において、前記第2の端子とグランドとの間に設けられた第3のFETを有し、前記第2の端子を終端する第1の終端状態を設定するか否かを切り替える第3のFETスイッチと、前記第3の端子とグランドとの間に設けられた第4のFETを有し、前記第3の端子を終端する第2の終端状態を設定するか否かを切り替える第4のFETスイッチとを備えたものとする。そして、前記第3のFETスイッチは、前記第2の接続状態のとき、前記第3のFETが導通状態になることによって、前記第1の終端状態を設定するものであり、前記第4のFETスイッチは、前記第1の接続状態のとき、前記第4のFETが導通状態になることによって、前記第2の終端状態を設定するものであることを特徴とする。

【0019】

請求項5の発明によると、スイッチ装置は、第1の接続状態のとき、第4のFETスイッチによって第2の終端状態に設定され、また、第2の接続状態のとき、第3のFETスイッチによって第1の終端状態に設定される。つまり、第2および第3の端子のいずれか接続状態にされなかった方の端子が終端状態にされ、この端子において、伝送線路のインピーダンスが不連続にならないようにすることができる。これにより、信号の反射を抑制することができる。

【0020】

請求項6の発明では、請求項5のスイッチ装置において、前記第3および第4のFETは、同一のチャネル型のFETであるとする。また、前記第3および第4のFETのいずれか一方は、ゲートに第3のバイアス電圧が与えられるとともに、ソースおよびドレインに第2の制御電圧が与えられる一方、他方のFETは、ソースおよびドレインに第4のバイアス電圧が与えられるとともに、ゲートに

前記第2の制御電圧が与えられるものとする。そして、前記第3および第4のFETスイッチは、前記第3および第4のFETが、互いに共通した前記第2の制御電圧によって相補的に導通状態になることによって、相補的に、前記第1および第2の終端状態を設定するものであることを特徴とする。

#### 【0021】

請求項6の発明によると、第1および第2のFETスイッチと同様に、同一のチャンネル型の第3および第4のFETが、互いに共通した第2の制御電圧によって相補的に導通状態にされることによって、第3および第4のFETスイッチが相補的に切り替え動作をする。これにより、一の制御電圧（第2の制御電圧）によって、第1の終端状態と第2の終端状態との切り替えを行うことができる。

#### 【0022】

請求項7の発明では、第1、第2および第3の端子を有し、前記第1の端子と前記第2の端子とを電氣的に接続する第1の接続状態と、前記第1の端子と前記第3の端子とを電氣的に接続する第2の接続状態とを、切り替えるスイッチ装置であって、前記第1の端子と前記第2の端子との間に設けられた第1のFETを有し、前記第1の接続状態を設定するか否かを切り替える第1のFETスイッチと、前記第1の端子と前記第3の端子との間に設けられた第2のFETを有し、前記第2の接続状態を設定するか否かを切り替える第2のFETスイッチと、前記第2の端子とグランドとの間に設けられた第3のFETを有し、前記第2の端子を終端する第1の終端状態を設定するか否かを切り替える第3のFETスイッチと、前記第3の端子とグランドとの間に設けられた第4のFETを有し、前記第3の端子を終端する第2の終端状態を設定するか否かを切り替える第4のFETスイッチとを備えたものとする。そして、前記第1および第3のFETは、同一のチャンネル型のFETであり、前記第1および第3のFETのいずれか一方は、ゲートに第1のバイアス電圧が与えられるとともに、ソースおよびドレインに第1の制御電圧が与えられる一方、他方のFETは、ソースおよびドレインに第2のバイアス電圧が与えられるとともに、ゲートに前記第1の制御電圧が与えられるものとする。そして、前記第1および第3のFETスイッチは、前記第1および第3のFETが、互いに共通した前記第1の制御電圧によって相補的に導通

状態になることによって、相補的に、前記第 1 の接続状態および前記第 1 の終端状態を設定するものであり、前記第 2 の F E T スイッチは、前記第 1 の終端状態のとき、前記第 2 の F E T が導通状態になることによって、前記第 2 の接続状態を設定するものであり、前記第 4 の F E T スイッチは、前記第 1 の接続状態のとき、前記第 4 の F E T が導通状態になることによって、前記第 2 の終端状態を設定するものであることを特徴とする。

### 【0023】

請求項 7 の発明によると、互いに共通した第 1 の制御電圧によって、同一のチャネル型の第 1 および第 3 の F E T が相補的に導通状態になる。第 1 および第 3 の F E T が相補的に導通状態になることによって、第 1 および第 3 の F E T スイッチは、相補的に切り替え動作をする。これにより、同一のチャネル型の第 1 および第 3 の F E T によってそれぞれ構成された第 1 および第 3 の F E T スイッチを備えたスイッチ装置において、一の制御電圧（第 1 の制御電圧）によって、第 1 の接続状態と第 1 の終端状態との切り替えを行うことができる。一方、第 1 の接続状態のとき、第 4 の F E T スイッチによって第 2 の終端状態が設定され、また、第 1 の終端状態のとき、第 2 の F E T スイッチによって第 2 の接続状態が設定される。すなわち、スイッチ装置は、第 1 の接続状態かつ第 2 の終端状態、および、第 2 の接続状態かつ第 1 の終端状態のいずれかに設定される。これにより、第 2 および第 3 の端子のいずれか接続状態にされなかった方の端子においてインピーダンスが不連続になることを防ぎ、信号の反射を抑制することができる。

### 【0024】

請求項 8 の発明では、請求項 7 のスイッチ装置において、前記第 2 および第 4 の F E T は、同一のチャネル型の F E T であるとする。また、前記第 2 および第 4 の F E T のいずれか一方は、ゲートに第 3 のバイアス電圧が与えられるとともに、ソースおよびドレインに第 2 の制御電圧が与えられる一方、他方の F E T は、ソースおよびドレインに第 4 のバイアス電圧が与えられるとともに、ゲートに前記第 2 の制御電圧が与えられるものとする。そして、前記第 2 および第 4 の F E T スイッチは、前記第 2 および第 4 の F E T が、互いに共通した前記第 2 の制御電圧によって相補的に導通状態になることによって、相補的に、前記第 2 の接

続状態および前記第2の終端状態を設定するものであることを特徴とする。

【0025】

請求項8の発明によると、第1および第3のFETスイッチと同様に、同一のチャンネル型の第2および第4のFETが、互いに共通した第2の制御電圧によって相補的に導通状態になることによって、第2および第4のFETスイッチが相補的に切り替え動作をする。これにより、一の制御電圧（第2の制御電圧）によって、第2の接続状態と第2の終端状態との切り替えを行うことができる。

【0026】

請求項9の発明では、請求項6または8のスイッチ装置において、前記第1および第4のバイアス電圧、前記第2および第3のバイアス電圧、ならびに前記第1および第2の制御電圧は、それぞれ、互いに共通したものであることを特徴とする。

【0027】

請求項9の発明によると、スイッチ装置に必要な電圧を、バイアス電圧については2つ、制御電圧については1つにまとめることによって、一の制御電圧によって、第1から第4のFETが相補的に導通状態になり、第1から第4のFETスイッチが相補的に切り替え動作をする。これにより、一の制御電圧によって、相補的に、第1の接続状態かつ第2の終端状態、および、第2の接続状態かつ第1の終端状態を設定することができる。

【0028】

【発明の実施の形態】

以下、本発明の実施の形態について、図面を参照しながら説明する。

【0029】

（第1の実施形態）

図1は、本発明の第1の実施形態のスイッチ装置10の回路図である。本実施形態のスイッチ装置10は、本発明の第1のFETスイッチに相当するFETスイッチ11と、第2のFETスイッチに相当するFETスイッチ12とを備え、本発明の第1の端子に相当する端子P1と本発明の第2の端子に相当する端子P2とを電氣的に接続する第1の接続状態と、端子P1と本発明の第3の端子に相



当する端子 P 3 とを電氣的に接続する第 2 の接続状態とを切り替えるものである。なお、同図において、FET スイッチ 11, 12 の直流阻止用容量性素子（キャパシタ）などの周辺回路の表示は省略している。

#### 【0030】

図 2 (a) は、FET スイッチ 11 の回路図であり、図 2 (b) は、FET スイッチ 12 の回路図である。FET スイッチ 11 において、本発明の第 1 の FET に相当する FET 111 のゲートには、本発明の第 1 のバイアス電圧に相当するバイアス電圧  $V_{b1}$  が与えられ、また、ソースおよびドレインには、抵抗素子 112, 113 をそれぞれ介して、本発明の第 1 の制御電圧に相当する制御電圧  $V_c$  が与えられる。一方、FET スイッチ 12 において、本発明の第 2 の FET に相当する FET 121 のゲートには、抵抗素子 124 を介して、本発明の第 1 の制御電圧に相当する制御電圧  $V_c$  が与えられ、また、ソースおよびドレインには、抵抗素子 122, 123 を介して、本発明の第 2 のバイアス電圧に相当するバイアス電圧  $V_{b2}$  が与えられる。なお、本実施形態では、FET 111, 121 は、Ga, In, As, P, N, Al のうち少なくとも 1 つの元素を含む化合物半導体である高電子移動度トランジスタ (HEMT: High Electron Mobility Transistor) または HFET (Heterostructure FET) によって構成される。したがって、FET スイッチ 11, 12 は、ともに、n チャネル型の FET によって構成される。FET 111, 121 を、HEMT や HFET にすることによって、スイッチ装置 10 は、より高周波の信号の切り替えを行うことができる。もちろん、FET 111, 121 を、これ以外の元素を含む化合物半導体によって構成することも可能である。

#### 【0031】

制御電圧  $V_c$  およびバイアス電圧  $V_{b1}$ ,  $V_{b2}$  は、すべて接地電位以上とする。さらに、バイアス電圧  $V_{b1}$  は、FET 111 のゲート閾値電圧以上の電圧とし、また、バイアス電圧  $V_{b2}$  は、FET 121 のゲート閾値電圧以上の電圧とする。これにより、スイッチ装置 10 を正電源のみで動作させることができる。なお、本実施形態では、制御電圧  $V_c$  を 0 V ~ 5 V 程度までの範囲で設定可能に、また、バイアス電圧  $V_{b1}$ ,  $V_{b2}$  を 0 V ~ 3 V 程度までの範囲で設定可能

にしている。さらに、バイアス電圧  $V_{b2}$  は、FET121を高耐圧のものにすることによって、3.5V程度までにすることが可能である。また、抵抗素子112, 113, 122, 123は、Port1からPort2への信号のリークがほとんどないように十分大きな値にする。本実施形態では、抵抗値を5k $\Omega$ にしている。

#### 【0032】

図3は、バイアス電圧  $V_{b1}$  を接地電位 (0.0V) に、また、バイアス電圧  $V_{b2}$  を電源電圧 (1.0V) にし、さらに、制御電圧  $V_c$  をバイアス電圧  $V_{b1}$  に相当する0.0V、およびバイアス電圧  $V_{b2}$  に相当する1.0Vの2値としたときの、FETスイッチ11, 12のスイッチング特性を示すグラフである。縦軸は、ポート1からポート2へ信号が伝達されるときに信号のレベルを示し、単位はdBである。また、横軸は信号の周波数を示し、単位はGHzである。

#### 【0033】

図3(a)は、FETスイッチ11のスイッチング特性を示す。FETスイッチ11は、制御電圧  $V_c$  が0.0Vのとき、ソース・ドレイン間を導通状態にする一方、制御電圧  $V_c$  が1.0Vのとき、ソース・ドレイン間を遮断状態にする。一方、同図(b)は、FETスイッチ12のスイッチング特性を示す。FETスイッチ12は、FETスイッチ11とは逆に、制御電圧  $V_c$  が0.0Vのとき、ソース・ドレイン間を遮断状態にする一方、制御電圧  $V_c$  が1.0Vのとき、ソース・ドレイン間を導通状態にする。なお、同図(a)(b)に示したスイッチング特性は、抵抗素子112, 113, 122, 123の抵抗値を5k $\Omega$ としたときのものであるが、抵抗値が500 $\Omega$ 程度であってもスイッチング特性に大きな変化はない。また、FET111, 121の仕様によっては、100 $\Omega$ 程度にすることも可能である。

#### 【0034】

本実施形態のスイッチ装置10は、上記特性を有するFETスイッチ11, 12のいずれか一端同士を接続してそれを端子P1とし、他端をそれぞれ端子P2, P3とする。そして、FET111, 121に、互いに共通した制御電圧  $V_c$  を与えるような構成になっている。

## 【0035】

次に、上記のとおりに構成されたスイッチ装置10の動作について説明する。

## 【0036】

制御電圧 $V_c$ として0.0Vが与えられたとき、FET111は導通状態になるとともにFET121は遮断状態になる。これにより、FETスイッチ11によって、端子P1と端子P2とが接続される。つまり、制御電圧 $V_c$ が0.0Vのとき、スイッチ装置10は第1の接続状態になる。

## 【0037】

図4は、制御電圧 $V_c$ が0.0Vのときの、信号の周波数を横軸とするスイッチ装置10の各種特性を示すグラフである。同図(a)は、端子P1から端子P2への信号の伝達特性(PORT1-PORT2)、および端子P1から端子P3への信号の伝達特性(PORT1-PORT3)を示す。また、同図(b)は、端子P2における反射特性(S22)、および端子P3における反射特性(S33)を示す。なお、同図の縦軸の単位はdB、横軸の単位はGHzである。同図(a)に示した伝達特性から明らかなように、端子P1と端子P2とは接続状態にあり、また、端子P1と端子P3とは切断状態にある。

## 【0038】

一方、制御電圧 $V_c$ として1.0Vが与えられたとき、FET111は遮断状態になるとともにFET121は導通状態になる。これにより、FETスイッチ12によって、端子P1と端子P3とが接続される。つまり、制御電圧 $V_c$ が1.0Vのとき、スイッチ装置10は第2の接続状態になる。

## 【0039】

図5は、制御電圧 $V_c$ が1.0Vのときの、信号の周波数を横軸とするスイッチ装置10の各種特性を示すグラフである。同図(a)は、端子P1から端子P2への信号の伝達特性(PORT1-PORT2)、および端子P1から端子P3への信号の伝達特性(PORT1-PORT3)を示す。また、同図(b)は、端子P2における反射特性(S22)、および端子P3における反射特性(S33)を示す。なお、同図の縦軸および横軸の単位は、図4と同様である。同図(a)に示した伝達特性から明らかなように、端子P1と端子P2とは切断状態

にあり、また、端子 P1 と端子 P3 とは接続状態にある。

#### 【0040】

図4 (b) に示した S33 特性および図5 (b) に示した S22 特性は、高周波域では、必ずしも十分なレベルにあるとは言えない。これら反射特性の改善方策については後述する。

#### 【0041】

上記説明において、バイアス電圧  $V_{b1}$  を 0.0 V、バイアス電圧  $V_{b2}$  を 1.0 V としているが、これ以外の電圧にしてもよい。また、制御電圧  $V_c$  として、バイアス電圧  $V_{b1}$  に相当する電圧、およびバイアス電圧  $V_{b2}$  に相当する電圧の 2 値としているが、本発明はこれに限定されるものではない。すなわち、制御電圧  $V_c$  として、バイアス電圧  $V_{b1}$ 、 $V_{b2}$  のいずれか低い方以下の電圧を与えることによって、FET111 が導通状態になるとともに FET121 が遮断状態になる。一方、制御電圧  $V_c$  として、バイアス電圧  $V_{b1}$ 、 $V_{b2}$  のいずれか高い方以上の電圧を与えることによって、FET111 が遮断状態になるとともに FET121 が導通状態になる。しかし、スイッチ装置 10 の制御の容易性、および回路構成の簡略化の観点から、本実施形態のように、制御電圧  $V_c$  をバイアス電圧  $V_{b1}$ 、 $V_{b2}$  のいずれかの 2 値に設定する方が好ましい。

#### 【0042】

以上、本実施形態によると、HEMT または HFET によって構成された FET111、121 をそれぞれ備えた FET スイッチ 11、12 を、一の制御電圧  $V_c$  によって、相補的に切り替え動作させ、相補的に第1の接続状態および第2の接続状態を設定することができる。また、バイアス電圧  $V_{b1}$ 、 $V_{b2}$ 、および制御電圧  $V_c$  は、すべて接地電位以上に行っているため、スイッチ装置 10 は正電源のみで動作可能である。これにより、負電圧を供給する負電源が不要となり、回路規模を縮減することができる。

#### 【0043】

なお、FET111、121 は、HEMT または HFET に限定されるものではなく、他の構造の FET であってもよい。たとえば、FET111、121 を p チャンネル型の FET によって構成した場合、バイアス電圧  $V_{b1}$  として、接地

電位以上かつFET111のゲート閾値電圧以上の電圧を与え、バイアス電圧Vb2として、接地電位以上かつFET121のゲート閾値電圧以下の電圧を与える。そして、制御電圧Vcとして、接地電位以上かつバイアス電圧Vb1, Vb2のいずれか低い方以下の電圧を与えたときには、FET111が遮断状態になるとともにFET121が導通状態になる一方、接地電位以上かつバイアス電圧Vb1, Vb2のいずれか高い方以上の電圧を与えたときには、FET111が導通状態になるとともにFET121が遮断状態になる。すなわち、FET111, 121をpチャネル型のFETによって構成した場合であっても、一の制御電圧Vcによって動作可能であり、また、正電源のみで動作可能なスイッチ装置10を実現することができる。

#### 【0044】

##### (第2の実施形態)

前述したように、図4(b)に示したS33特性および図5(b)に示したS22特性は、高周波域では、必ずしも十分なレベルにあるとは言えない。本発明の第2の実施形態のスイッチ装置は、この反射特性の改善を図ったものである。

#### 【0045】

図6は、本実施形態のスイッチ装置20の回路図である。スイッチ装置20は、第1の実施形態のスイッチ装置10に、本発明の第3のFETスイッチに相当するFETスイッチ13と、第4のFETスイッチに相当するFETスイッチ14とを備えたものである。なお、図1における構成要素と同一のものについては、同一の符号を付し、説明を省略する。また、FETスイッチ11~14の直流阻止用容量性素子(キャパシタ)などの周辺回路の表示は省略している。

#### 【0046】

FETスイッチ13は、本発明の第3のFETに相当するFET131を有し、FETスイッチ12と同様に構成されている。すなわち、FET131は、FET121と同様にHEMTまたはHFETによって構成され、ゲートには、抵抗素子124と同様の抵抗素子134を介して、本発明の第2の制御電圧に相当する制御電圧Vcが与えられている。また、ソースおよびドレインには、抵抗素子122, 123とそれぞれ同様の抵抗素子132, 133を介して、本発明の

第3のバイアス電圧に相当するバイアス電圧 $V_{b2}$ が与えられている。ここでは、バイアス電圧 $V_{b2}$ を、FETスイッチ12に与えられるものと共通にし、また、制御電圧 $V_c$ を、FETスイッチ11, 12に与えられるものと共通にしている。もちろん、これらを共通にせずに、別の値の第3のバイアス電圧および第2の制御電圧を与えることも可能である。

#### 【0047】

FETスイッチ14は、本発明の第4のFETに相当するFET141を有し、FETスイッチ11と同様に構成されている。すなわち、FET141は、FET111と同様にHEMTまたはHFETによって構成され、ゲートには、本発明の第4のバイアス電圧に相当するバイアス電圧 $V_{b1}$ が与えられている。また、ソースおよびドレインには、抵抗素子112, 113とそれぞれ同様の抵抗素子142, 143をそれぞれ介して、本発明の第2の制御電圧に相当する制御電圧 $V_c$ が与えられている。ここでは、バイアス電圧 $V_{b1}$ を、FETスイッチ11に与えられるものと共通にし、また、制御電圧 $V_c$ を、FETスイッチ11, 12に与えられるものと共通にしている。もちろん、これらを共通にせずに、別の値の第4のバイアス電圧および第2の制御電圧を与えることも可能である。

#### 【0048】

FETスイッチ13とグランドとの間には、抵抗素子21が設けられている。抵抗素子21の抵抗値は、FET131のチャネル抵抗値との合計が、端子P2に接続される伝送線路の特性インピーダンスと等しくなるように設定されている。したがって、FET131が導通状態になることによって、端子P2は終端される（第1の終端状態）。

#### 【0049】

同様に、FETスイッチ14とグランドとの間には、抵抗素子22が設けられている。抵抗素子22の抵抗値は、FET141のチャネル抵抗値との合計が、端子P3に接続される伝送線路の特性インピーダンスと等しくなるように設定されている。したがって、FET141が導通状態になることによって、端子P3は終端される（第2の終端状態）。

#### 【0050】

なお、FET 131の導通時のチャネル抵抗を、伝送線路の特性インピーダンスと等しくなるようにすることによって、抵抗素子21は省略することができる。抵抗素子22についても同様である。

#### 【0051】

次に、上記のとおり構成されたスイッチ装置20の動作について説明する。

#### 【0052】

制御電圧 $V_c$ として0.0Vが与えられたとき、FET 111, 141は導通状態になるとともにFET 121, 131は遮断状態になる。これにより、FETスイッチ11によって、端子P1と端子P2とが接続されるとともに、FETスイッチ14によって、端子P3が終端される。つまり、制御電圧 $V_c$ が0.0Vのとき、スイッチ装置20は、第1の接続状態かつ第2の終端状態になる。

#### 【0053】

図7は、制御電圧 $V_c$ として0.0Vが与えられたときの、スイッチ装置20の各種特性を示すグラフである。なお、同図のグラフの見方は図4と同様である。図7(a)と図4(a)とを比較すると、スイッチ装置20のスイッチング特性については、スイッチ装置10とほぼ同様であることがわかる。一方、図7(b)と図4(b)とを比較すると、スイッチ装置20の反射特性S33が大幅に改善されていることがわかる。

#### 【0054】

一方、制御電圧 $V_c$ として1.0Vが与えられたとき、FET 111, 141は遮断状態になるとともにFET 121, 131は導通状態になる。これにより、FETスイッチ12によって、端子P1と端子P3とが接続されるとともに、FETスイッチ13によって、端子P2が終端される。つまり、制御電圧 $V_c$ が1.0Vのとき、スイッチ装置10は、第2の接続状態かつ第1の終端状態になる。

#### 【0055】

図8は、制御電圧 $V_c$ として1.0Vが与えられたときの、スイッチ装置20の各種特性を示すグラフである。なお、同図のグラフの見方は図5と同様である。図8(a)と図5(a)とを比較すると、スイッチ装置20のスイッチング特

性については、スイッチ装置 10 とほぼ同様であることがわかる。一方、図 8 (b) と図 5 (b) とを比較すると、スイッチ装置 20 の反射特性  $S_{22}$  が大幅に改善されていることがわかる。

#### 【0056】

以上、本実施形態によると、HEMT または HFET によって構成された FET 111 ~ 141 をそれぞれ備えた FET スイッチ 11 ~ 14 を、一の制御電圧  $V_c$  によって、相補的に切り替え動作させることによって、スイッチ装置 20 を、第 1 の接続状態かつ第 2 の終端状態にするか、または、第 2 の接続状態かつ第 1 の終端状態にする、といった経路切り替えが可能となる。これにより、経路切り替えの際、遮断される端子を終端することができ、遮断された端子における信号の反射を抑制することができる。

#### 【0057】

なお、上記説明において、FET スイッチ 11 ~ 14 は、すべて、互いに共通した制御電圧  $V_c$  によって制御されるものとしたが、FET スイッチ 13, 14 を、それぞれ独立して制御するようにしてもよい。また、FET スイッチ 11, 13 の第 1 の組み合わせについて、第 1 の制御電圧を用いて相補的に切り替え制御をし、また、FET スイッチ 12, 14 の第 2 の組み合わせについて、第 2 の制御電圧を用いて相補的に切り替え制御をするようにしてもよい。さらに、第 1 および第 2 のいずれかの組み合わせについてのみ、相補的に切り替え制御をすること可能である。これらのいずれの場合であっても、本発明と同様の効果を得ることができる。しかし、スイッチ装置 20 の制御の容易性、および回路構成の簡略化の観点から、本実施形態のように、バイアス電圧  $V_{b1}$ ,  $V_{b2}$ 、および制御電圧  $V_c$  を共通にする方が好ましい。

#### 【0058】

また、各種特性のグラフを示した各図において、信号周波数として、10 GHz までしか表示していないが、本発明は、これに限定されるものではない。本発明のスイッチ装置 10, 20 は、60 GHz ~ 75 GHz のミリ波帯までについても適用が可能であり、さらに、高周波域にまで適用可能である。これとは逆に、グラフに示した周波数よりも低い周波数域においても、本発明のスイッチ装置 10



, 20によって、上記した効果を得ることができる。

**【0059】**

**【発明の効果】**

以上、本発明によると、同一のチャネル型のFETによって構成された複数のFETスイッチを、一の制御電圧によって相補的に動作させ、伝送経路の切り替えを行うことができる。さらに、本発明のスイッチ装置は正電源のみで動作可能であるため、負電圧を供給する負電源を備える必要がなく、回路規模を縮減することができる。

**【0060】**

また、高周波域での使用において、経路の切り替えの際、切り離された側の端子を終端することによって、信号の反射を抑制することができる。これにより、回路特性を良好に保ち、回路動作を安定化することができる。

**【図面の簡単な説明】**

**【図1】**

本発明の第1の実施形態のスイッチ装置の回路図である。

**【図2】**

図1のスイッチ装置におけるFETスイッチの回路図である。

**【図3】**

図2のFETスイッチのスイッチング特性を示すグラフである。

**【図4】**

図1のスイッチ装置のスイッチング特性および反射特性を示すグラフである。

**【図5】**

図1のスイッチ装置のスイッチング特性および反射特性を示すグラフである。

**【図6】**

本発明の第2の実施形態のスイッチ装置の回路図である。

**【図7】**

図6のスイッチ装置のスイッチング特性および反射特性を示すグラフである。

**【図8】**

図6のスイッチ装置のスイッチング特性および反射特性を示すグラフである。

## 【符号の説明】

10, 20 スイッチ装置

11 FETスイッチ (第1のFETスイッチ)

12 FETスイッチ (第2のFETスイッチ)

13 FETスイッチ (第3のFETスイッチ)

14 FETスイッチ (第4のFETスイッチ)

111 FET (第1のFET)

121 FET (第2のFET)

131 FET (第3のFET)

141 FET (第4のFET)

P1 端子 (第1の端子)

P2 端子 (第2の端子)

P3 端子 (第3の端子)

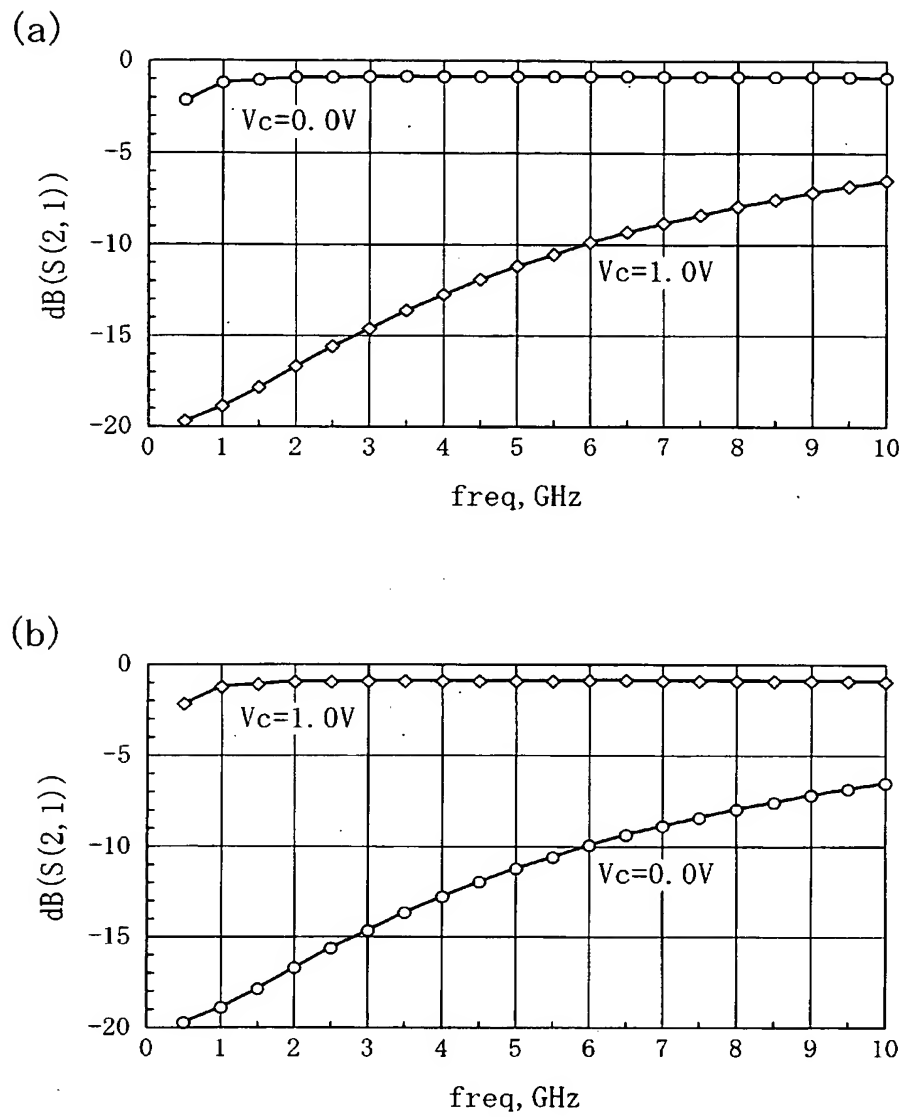
Vb1 バイアス電圧 (第1のバイアス電圧、第3のバイアス電圧)

Vb2 バイアス電圧 (第2のバイアス電圧、第4のバイアス電圧)

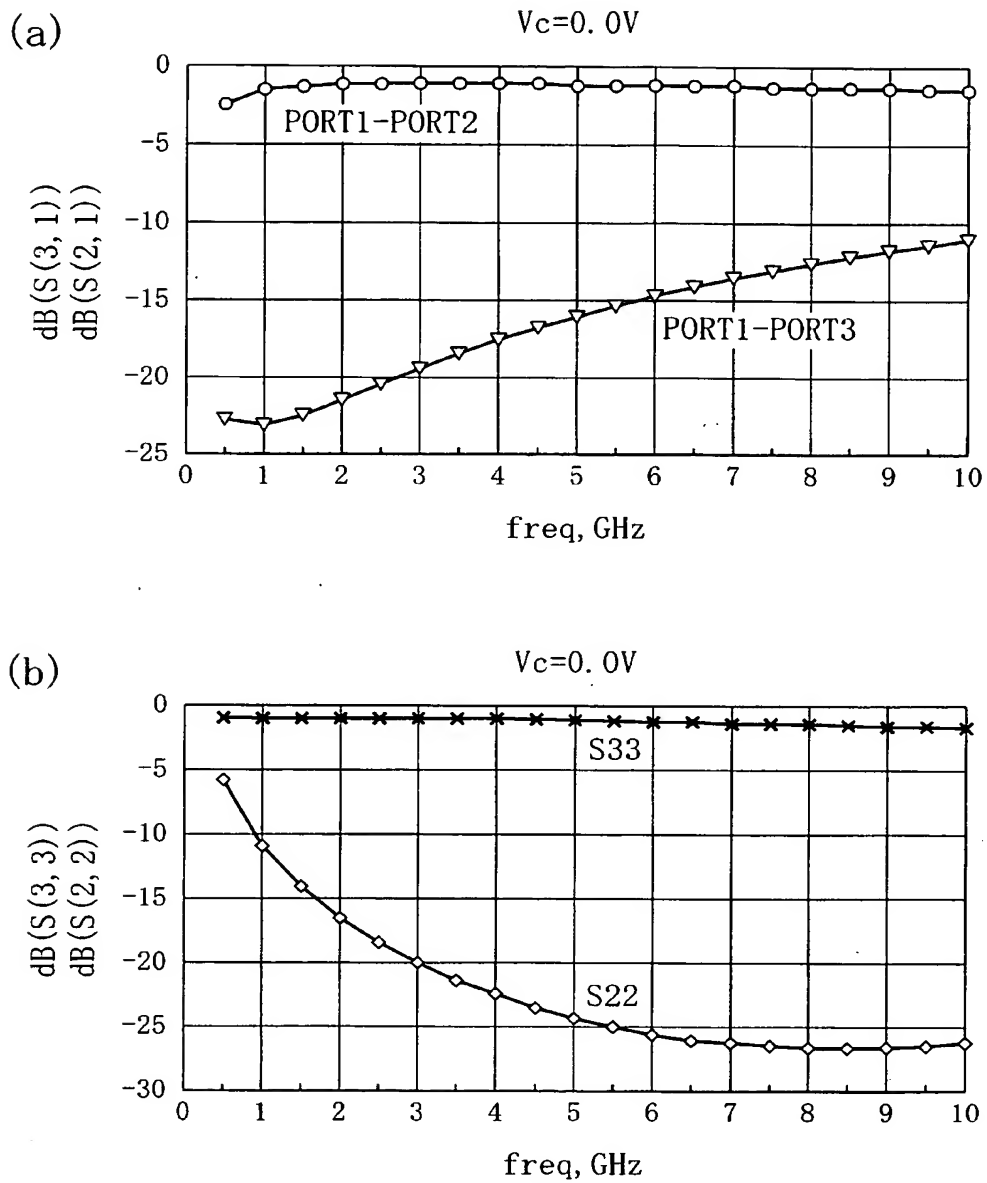
Vc 制御電圧 (第1の制御電圧、第2の制御電圧)



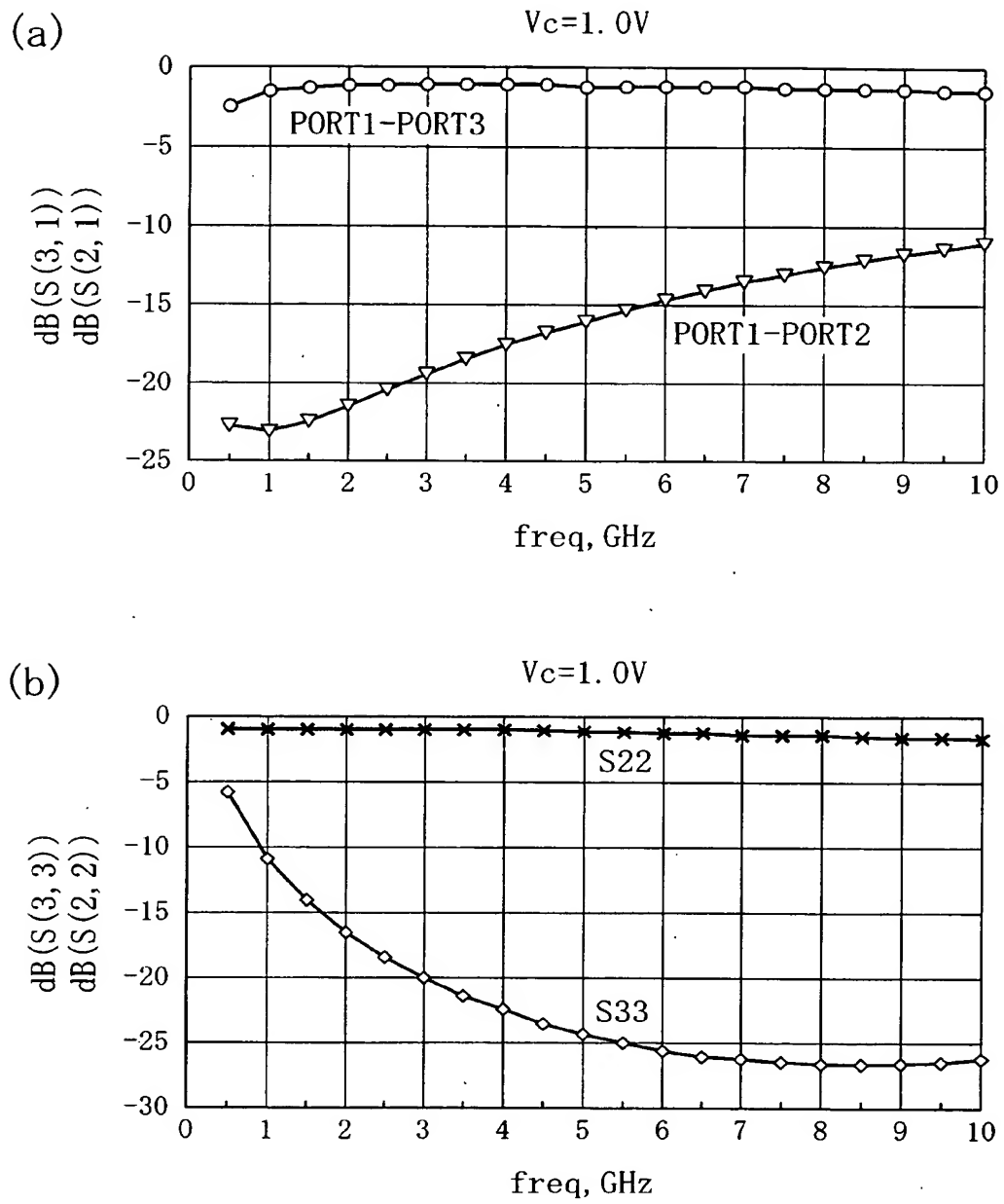
【図 3】



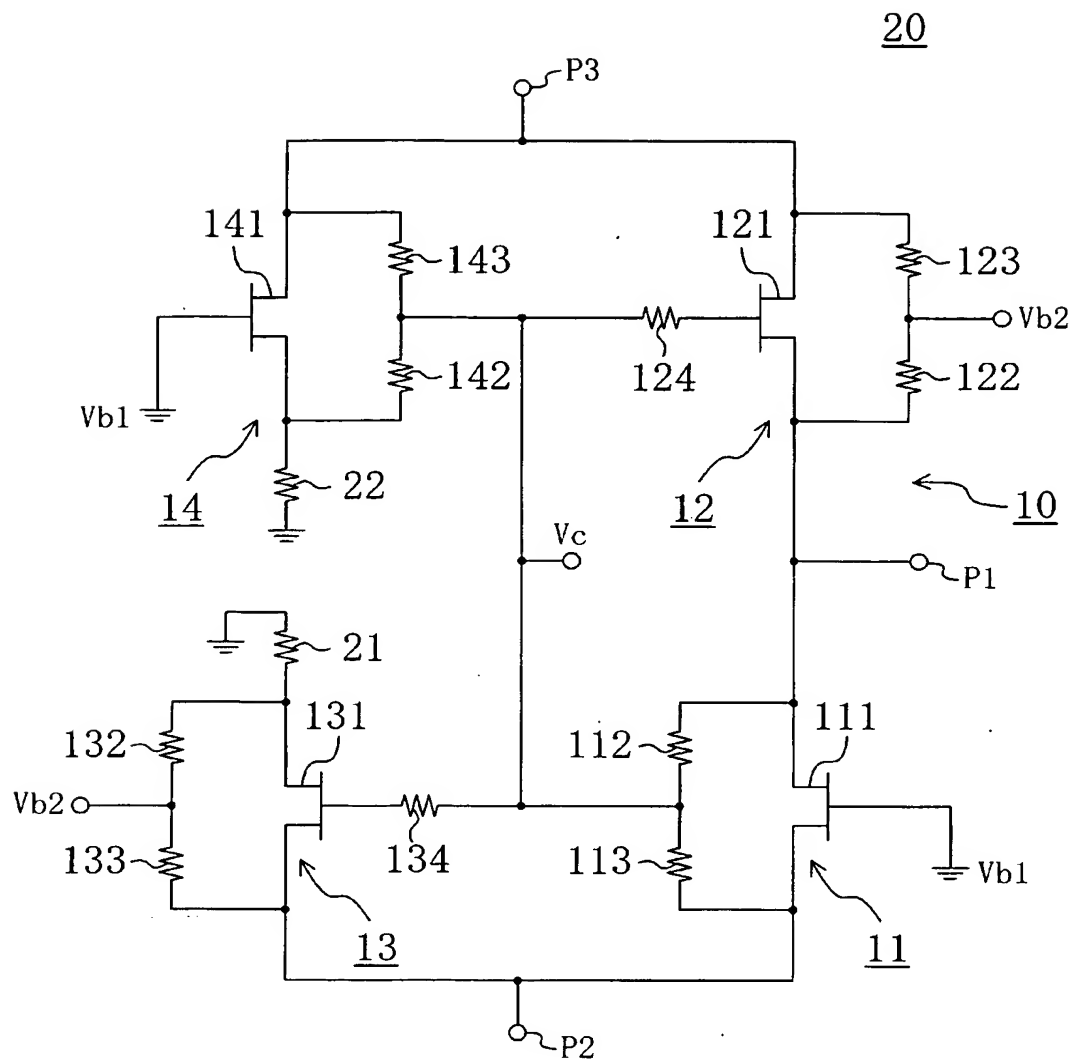
【図 4】



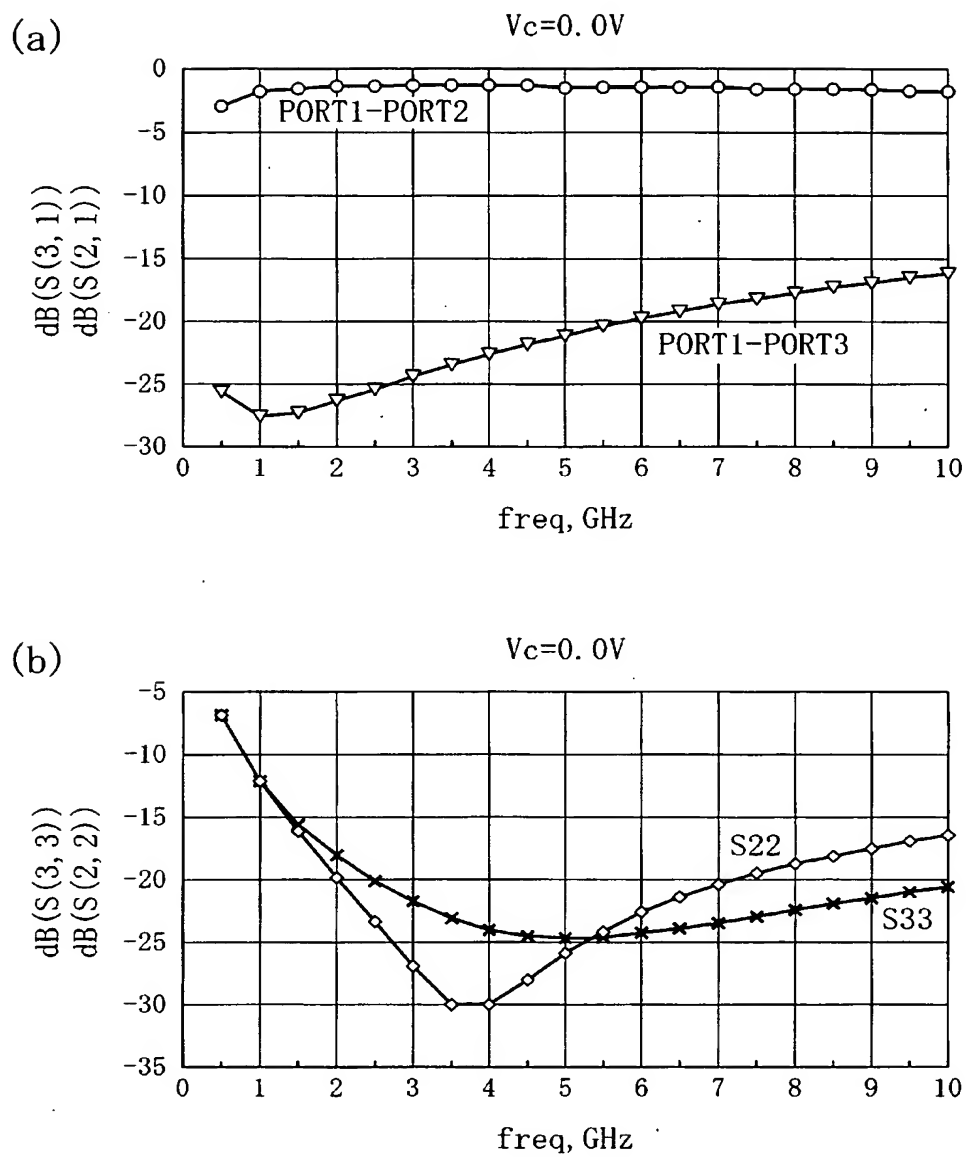
【図 5】



【図 6】

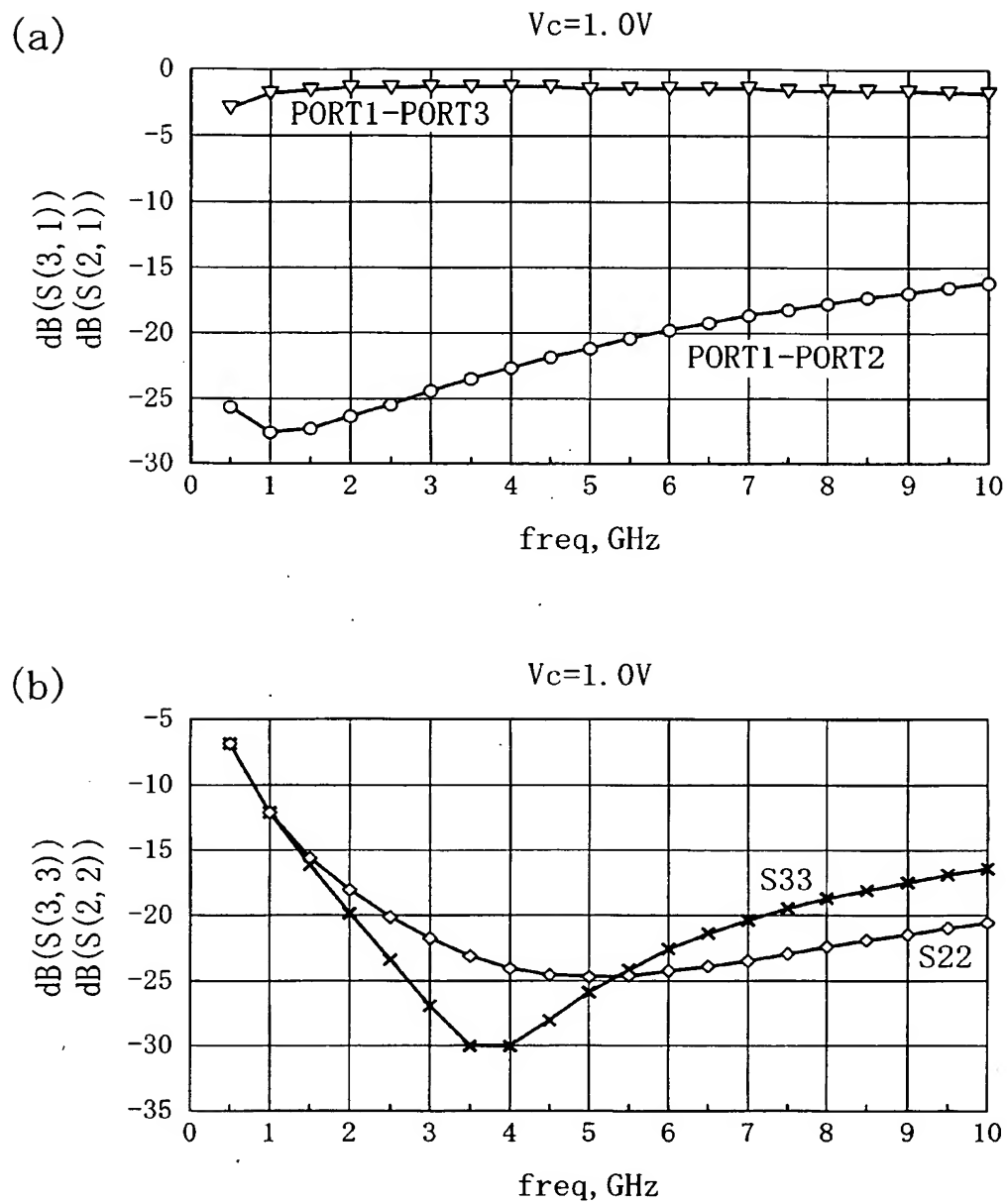


【図 7】





【図 8】



【書類名】 要約書

【要約】

【課題】 HEMTやHFETなどの同一のチャネル型のFETによってそれぞれ構成された複数のFETスイッチを、一の制御電圧によって相補的に切り替え動作させ、信号の伝送経路を切り替える。

【解決手段】 FET111のゲートにバイアス電圧 $V_{b1}$ を与えるとともに、ソースおよびドレインに制御電圧 $V_c$ を与える。一方、FET121のソースおよびドレインにバイアス電圧 $V_{b2}$ を与えるとともに、ゲートに制御電圧 $V_c$ を与える。これにより、同一のチャネル型のFET111, 121は、互いに共通した制御電圧 $V_c$ によって、相補的に導通状態になる。FET111, 121が相補的に導通状態になることによって、FETスイッチ11, 12は、相補的に切り替え動作をする。これにより、一の制御電圧 $V_c$ によって、端子P1と端子P2との接続と、端子P1と端子P3との接続との切り替えを行うことができる。

【選択図】 図1

特願 2002-180124

出願人履歴情報

識別番号

[000005821]

1. 変更年月日  
[変更理由]

1990年 8月28日  
新規登録

住 所  
氏 名

大阪府門真市大字門真1006番地  
松下電器産業株式会社